

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-233610

(43) 公開日 平成11年(1999) 8月27日

(51) Int.Cl.⁶

H 0 1 L 21/76

識別記号

F I

H 0 1 L 21/76

L

審査請求 未請求 請求項の数13 O L (全 16 頁)

(21) 出願番号 特願平10-34503

(22) 出願日 平成10年(1998) 2月17日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 杉原 浩平

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72) 発明者 奥村 喜紀

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72) 発明者 大石 敏之

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

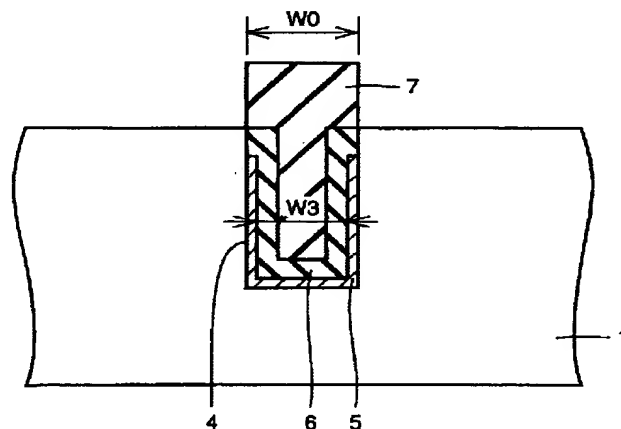
(74) 代理人 弁理士 深見 久郎 (外3名)

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 素子分離領域の素子形成領域への食い込みを抑制し、電界効果型トランジスタの実効的なチャネル幅の減少を防止することが可能な素子分離構造を備えた半導体装置およびその製造方法を提供する。

【解決手段】 半導体基板1の主表面には溝4が形成されている。半導体基板1の主表面における素子形成領域を分離し、外側壁を有する分離体5、6、7が、溝4を充填するように形成されている。分離体5、6、7は、外側壁を構成する側壁半導体膜5と、側壁半導体膜5によって囲まれ、溝4を充填する内部絶縁膜6、7を含む。



【特許請求の範囲】

【請求項 1】 溝が主表面上に形成された半導体基板と、前記溝を充填するように形成され、前記半導体基板の主表面上における素子形成領域を分離し、外側壁を有する分離体とを備え、

前記分離体は、

前記外側壁を構成する側壁半導体膜と、

前記側壁半導体膜によって囲まれた、前記溝を充填する内部絶縁膜とを含む、半導体装置。

【請求項 2】 前記半導体基板の主表面近傍で、前記側壁半導体膜と前記内部絶縁膜との間の境界面は傾斜面を有する、請求項 1 に記載の半導体装置。

【請求項 3】 前記側壁半導体膜と前記内部絶縁膜との間の境界面に形成された熱酸化膜をさらに備える、請求項 1 または 2 に記載の半導体装置。

【請求項 4】 前記分離体に隣接して、前記半導体基板の主表面上に、側面を有するように形成されている半導体膜をさらに備える、請求項 1 ～ 3 のいずれか 1 項に記載の半導体装置。

【請求項 5】 前記半導体膜の側面は、傾斜面を含む、請求項 4 に記載の半導体装置。

【請求項 6】 前記側壁半導体膜の上部は、前記素子形成領域の導電型と逆の導電型の不純物を含む、請求項 1 ～ 5 のいずれか 1 項に記載の半導体装置。

【請求項 7】 前記側壁半導体膜は、シリコン膜を含む、請求項 1 ～ 6 のいずれか 1 項に記載の半導体装置。

【請求項 8】 半導体基板の主表面上に被覆膜を形成する工程と、

前記被覆膜を選択的に除去することにより、素子形成領域を分離する素子分離領域で前記半導体基板の主表面を露出させる開口部を有するマスク被覆膜を形成する工程と、

前記マスク被覆膜を用いて、前記半導体基板の一部を除去することにより、溝を形成する工程と、

前記溝の側面上に、エピタキシャル成長法を用いて、分離体の一部となる側壁半導体膜を形成する工程と、

前記側壁半導体膜上と前記溝の内部と前記マスク被覆膜上とに、前記分離体の一部である内部絶縁膜となる絶縁膜を形成する工程と、

前記マスク被覆膜上に位置する前記絶縁膜を除去する工程と、

前記マスク被覆膜を除去する工程とを備える、半導体装置の製造方法。

【請求項 9】 前記側壁半導体膜を形成する工程は、エピタキシャル成長法を用いて、前記半導体基板の結晶の面方位と異なる面方位を有するように前記側壁半導体膜を形成することにより、前記半導体基板の主表面の近傍で、前記側壁半導体膜の内側面に傾斜面を形成する工程を含む、請求項 8 に記載の半導体装置の製造方法。

【請求項 10】 前記側壁半導体膜の内側面を熱酸化す

ることにより、前記側壁半導体膜の内側面上に熱酸化膜を形成する工程をさらに備える、請求項 8 または 9 に記載の半導体装置の製造方法。

【請求項 11】 前記マスク被覆膜を形成する工程は、前記半導体基板の主表面に接触するように、第 1 の被覆膜を形成する工程と、

前記第 1 の被覆膜上に、第 2 の被覆膜を形成する工程とを含み、

前記第 1 の被覆膜の、前記開口部において露出している部分を除去することにより、前記素子形成領域における前記半導体基板の主表面の一部を露出させる工程と、

前記露出させた半導体基板の主表面の一部上に、側面を有する半導体膜を形成する工程とをさらに備える、請求項 8 ～ 10 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 12】 前記半導体膜を形成する工程は、エピタキシャル成長法を用いて、前記半導体基板の結晶の面方位と異なる面方位を有するように前記半導体膜を形成することにより、前記半導体膜の側面に傾斜面を形成する工程を含む、請求項 11 に記載の半導体装置の製造方法。

【請求項 13】 前記側壁半導体膜の上部に、前記素子形成領域の導電型と逆の導電型の不純物を導入する工程をさらに備える、請求項 8 ～ 12 のいずれか 1 項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体装置およびその製造方法に関し、特に素子分離構造を備える半導体装置およびその製造方法に関するものである。

【0002】

【従来の技術】近年、半導体集積回路装置の集積度が著しく高まるにつれて、素子の微細化が急速に進んでいる。特に、半導体記憶装置としてダイナミック・ランダム・アクセス・メモリ（DRAM）においては、記憶容量が 64 メガビット（Mb）から 256 メガビット（Mb）、さらには 1 ギガビット（Gb）と増加するに伴って、メモリの集積度が高められつつある。このように高度に集積化されたメモリを構成する能動素子としての電界効果型トランジスタやキャパシタは、それぞれ微細化された構造を備えていなければならない。そして、微細化された能動素子の間を電気的に分離するためには、微細な素子分離構造が必要となる。

【0003】図 24 ～ 27 は、従来の微細な素子分離構造の製造工程を示す断面図である。図 24 ～ 27 を参照して、従来の素子分離構造の製造工程を説明する。

【0004】まず、半導体基板 101（図 24 参照）の主表面上に熱酸化膜（図示せず）とシリコン窒化膜（図示せず）とを形成する。シリコン窒化膜上には写真製版加工によって露光・現像処理されたレジストパターン

3

(図示せず)を形成する。そのレジストパターンには、設計分離幅W0(図24参照)を有する開口部(図示せず)が形成されている。このレジストパターンを用いてドライエッチングなどにより熱酸化膜とシリコン窒化膜とを選択的に除去する。その後、レジストパターンを除去する。このようにして、熱酸化膜102(図24参照)とシリコン窒化膜103(図24参照)とには設計分離幅W0(図24参照)を有する開口部が形成される。この開口部が形成された部分が電界効果型トランジスタなどの能動素子の間を電気的に分離する素子分離領域となる。そして、熱酸化膜102とシリコン窒化膜103とによって覆われた半導体基板101の主表面の領域が電界効果型トランジスタなどの能動素子を形成する素子形成領域となる。

【0005】そして、熱酸化膜102とシリコン窒化膜103とをマスクとして用いて、半導体基板101をドライエッチングなどにより選択的に除去する。これにより、溝104(図24参照)を形成する。

【0006】その後、熱酸化処理を施すことにより、図24に示すように、溝104の内壁の表面に熱酸化膜106が形成される。このとき、熱酸化膜106は溝104の内壁から半導体基板101の内部に熱酸化が進行することにより形成される。すなわち、熱酸化膜106は、溝104の内壁の表面の半導体(シリコン)が熱酸化により酸化膜になることによって形成される。したがって、熱酸化膜106は、熱酸化膜102やシリコン窒化膜103の下に位置する領域に形成されることになる。その結果、素子分離用の絶縁膜として、熱酸化膜106は電界効果型トランジスタなどの能動素子が形成される素子形成領域に幅W8だけ侵入することになる。

【0007】次に、図25に示すように、TEOS(tetra ethyl ortho silicate)を原材料として用いたCVD法によって、溝104を充填するようにシリコン酸化膜107を形成する。このとき、シリコン酸化膜107はシリコン窒化膜103の上にも延在するように形成されている。

【0008】その後、図26に示すように、シリコン窒化膜103の表面をストップとして、シリコン酸化膜107をドライエッチングや化学機械研磨(CMP)などによって除去する。これにより、シリコン酸化膜107は、シリコン窒化膜103の表面とほぼ同じ高さであって、平坦化された表面を有するようになる。

【0009】次に、図27に示すように、シリコン窒化膜103と熱酸化膜102とを除去する。このようにして、従来のトレンチ型の素子分離構造は形成される。

【0010】

【発明が解決しようとする課題】図28は、上記のように形成された素子分離領域と能動素子としての電界効果型トランジスタが形成されている素子形成領域の位置関係を示す平面図である。図28を参照して、従来のトレ

4

ンチ型の素子分離構造の問題点を以下に述べる。

【0011】図28を参照して、電界効果型トランジスタT1、T2はゲート電極108とソース領域109とドレイン領域110とを備える。電界効果型トランジスタT1、T2は設計チャンネル幅W4を有する。設計チャンネル幅W4はシリコン窒化膜103(図24参照)によって規定される。この2つの電界効果型トランジスタT1、T2は設計分離幅W0を有する素子分離領域によって電気的に分離されている。この設計分離幅W0は電界効果型トランジスタT1、T2の設計を行なう際に決定される。

【0012】しかし、図24に示した熱酸化工程により、素子形成領域における半導体基板101(図24参照)が熱酸化されて熱酸化膜106(図24参照)となるので、素子形成領域の周辺部において、熱酸化膜106が幅W8だけ素子形成領域に侵入した状態となる。このため、実際の電界効果型トランジスタのチャンネル幅はW9となる。

【0013】このように、電界効果型トランジスタのチャンネル幅が縮小することにより、電界効果型トランジスタの電気的特性が劣化する。特に、電界効果型トランジスタに流される電流量が減少する。この電流量の減少は、たとえば、DRAMにおいてはキャパシタに電荷を蓄積するための時間を増加させるように作用するため、動作速度が劣化する原因となる。また、ロジック回路を有する半導体装置においては、電界効果型トランジスタに流される電流量の減少は、信号の遅延時間の増加を招き、DRAMと同様に動作速度が劣化する原因となる。

【0014】さらに、半導体集積回路装置の集積度が高まるにつれて、設計分離幅W0および設計チャンネル幅W4が小さくなる。このため、十分なチャンネル幅W9を確保し、半導体装置の電気的特性の劣化を防止するためには、素子形成領域に侵入する熱酸化膜106の幅W8をさらに縮小する必要がある。

【0015】特に、DRAMにおいては、記憶容量が1ギガビット(Gb)になると、電界効果型トランジスタの設計チャンネル幅W4は0.2μm以下となる。この設計チャンネル幅W4の縮小とともに、設計分離幅W0も0.1~0.2μm程度に縮小される。このように、設計チャンネル幅W4や設計分離幅W0が縮小されるとき、上述のようにトレンチ型の素子分離構造が形成されると、素子形成領域への熱酸化膜106の侵入幅W8は0.02μm程度となる。その結果、実際のチャンネル幅W9は設計のチャンネル幅W4の約80%以下と極端に狭くなる。1ギガビット(Gb)を超えるような高度に集積化された記憶容量を有するDRAMにおいては、素子分離領域が素子形成領域に食い込むことによる電界効果型トランジスタの実際のチャンネル幅の減少は、電界効果型トランジスタの駆動電流の減少をもたらす。最終的に、キャパシタに電荷を蓄える時間の増加、ひいては動

作速度の劣化の大きな原因となる。

【0016】この発明は、上記のような課題を解決するためになされたものであり、この発明の1つの目的は、半導体集積回路装置、特に1ギガビット程度以上の記憶容量を有するDRAMにおいて、能動素子の電気的特性を劣化させることがないトレンチ型の素子分離構造を提供することである。

【0017】また、この発明のもう1つの目的は、素子分離領域の素子形成領域への食い込みを抑制することが可能な素子分離構造を備えた半導体装置を提供することである。

【0018】さらに、この発明のもう1つの目的は、電界効果型トランジスタの実効的なチャネル幅を減少させることがない素子分離構造を備えた半導体装置を提供することである。

【0019】

【課題を解決するための手段】本発明の請求項1による半導体装置は、溝が主表面に形成された半導体基板と、この溝を充填するように形成され、半導体基板の主表面における素子形成領域を分離し、外側壁を有する分離体とを備える。分離体は、外側壁を構成する側壁半導体膜と、この側壁半導体膜によって囲まれた、溝を充填する内部絶縁膜とを含む。

【0020】このため、請求項1に記載の発明では、分離体の側壁半導体膜を素子形成領域の一部として利用することにより、上記溝の内部に従来のようなトレンチ型の分離絶縁体を形成する場合より、素子形成領域の幅を広くすることが可能となる。これにより、素子形成領域に電界効果型トランジスタのような能動素子を形成する場合にも、その電界効果型トランジスタの実効的なチャネル幅を設計のチャネル幅よりも小さくなることを防止でき、上記実効的なチャネル幅を大きくすることが可能となる。この結果、電界効果型トランジスタなどの能動素子の電気的特性が、そのチャネル幅が小さくなることに起因して劣化することを防止できる。

【0021】また、溝の深さを従来よりも深くなるように調節することで、側壁半導体膜が存在することにより分離絶縁体として作用する内部絶縁膜の膜厚が従来のトレンチ型の分離絶縁体の幅よりも薄くなる場合でも、十分な分離特性を得ることができる。

【0022】また、側壁半導体膜の膜厚を調節することにより、分離絶縁体の幅を、溝の幅とは独立して調節することができる。このため、溝の幅を変更することなく、素子形成領域に形成される異なる能動素子の特性に適合するように、分離絶縁体の幅を調節することができる。

【0023】請求項2による半導体装置は、請求項1に記載の構成において、半導体基板の主表面近傍で、側壁半導体膜と内部絶縁膜との間の境界面が傾斜面を有する。

【0024】このため、請求項2に記載の発明では、半導体基板と側壁半導体膜とからなる半導体領域と、内部絶縁膜からなる絶縁体領域との境界部における角部の角度を鈍角にすることができる。これにより、従来のように半導体領域と絶縁体領域との境界部にほぼ90°の角度を有する角部が存在する場合よりも、素子形成領域に形成される電界効果型トランジスタが動作する際に、電界がこの角部に集中することを防止できる。この結果、この角部におけるリーク電流を低減でき、半導体装置の電気的特性の劣化を防止できる。

【0025】請求項3による半導体装置は、請求項1または2に記載の構成において、側壁半導体膜と内部絶縁膜との間の境界面に形成された熱酸化膜をさらに備える。

【0026】このため、請求項3に記載の発明では、この熱酸化膜の膜厚を調節することにより、内部絶縁膜と熱酸化膜とからなる絶縁体の幅と、側壁半導体膜の幅とのバランスを、溝の幅とは独立して調節することができる。このため、溝の幅を変更することなく、素子形成領域に形成される異なる能動素子の特性に適合するように、分離絶縁体として作用する上記絶縁体の幅を調節することができる。

【0027】また、熱酸化膜の電気的な分離特性は、他のCVD法などにより形成される酸化膜の分離特性よりも優れているため、熱酸化膜の膜厚を厚くすることにより、分離特性を劣化させることなく内部絶縁膜の膜厚を薄くできる。これにより、分離特性を劣化させることなく、分離絶縁体の幅を小さくすることができる。この結果、側壁半導体膜の膜厚をより厚くすることができる。

【0028】また、分離絶縁体の幅を一定とする場合には、分離特性の良い熱酸化膜を形成することで、従来のCVD法などによる酸化膜のみで分離絶縁体を形成する場合よりも、良好な分離特性を有する分離絶縁体を得ることができる。

【0029】請求項4による半導体装置は、請求項1～3のいずれか1項に記載の構成において、分離体に隣接して、半導体基板の主表面上に側面を有するように形成されている半導体膜をさらに備える。

【0030】このため、請求項4に記載の発明では、この半導体膜が存在する領域に電界効果型トランジスタを形成した場合、この半導体膜を電界効果型トランジスタのチャネル領域の一部として作用させることができる。そして、このチャネル領域に流れる電流の方向にほぼ垂直な面における断面において、電界効果型トランジスタのゲート絶縁膜と、チャネル領域との接触面の長さを、半導体膜の側面の高さだけ長くすることができる。このチャネル領域に流れる電流量は、上記断面における上記接触面の長さにも比例するので、このように半導体膜を形成することで、上記チャネル領域に流れる電流量を増加させることができる。この結果、チャネル幅を広くし

たのと同様の効果を得ることができる。これにより、半導体装置の電気的特性を向上させることが可能となる。

【0031】請求項5による半導体装置は、請求項4に記載の構成において、半導体膜の側面が傾斜面を含む。

【0032】このため、請求項5に記載の発明では、半導体膜の側面が半導体基板の主表面に対してほぼ垂直である場合よりも、側面の面積を大きくすることができる。これにより、上記チャネル領域における、電流の流れる方向にほぼ垂直な方向における上記断面での、ゲート絶縁膜とチャネル領域との接触面の長さをより長くすることができる。この結果、チャネル領域に流れる電流量をさらに増加させることができ、半導体装置の電気的特性をより向上させることができる。

【0033】請求項6による半導体装置は、請求項1～5のいずれか1項に記載の構成において、側壁半導体膜の上部が、素子形成領域の導電型と逆の導電型の不純物を含む。

【0034】このため、請求項6に記載の発明では、上記不純物の存在によって、素子形成領域と分離絶縁体である内部絶縁膜との境界領域における電界の集中を抑制することができる。これにより、素子形成領域から分離絶縁体へのリーク電流を低減することができる。この結果、半導体装置の電気的特性の劣化を防止することができる。

【0035】また、側壁半導体膜の上部に不純物を導入するので、半導体基板の主表面の素子形成領域に不純物を導入する場合のように、この不純物が存在することに起因してチャネル幅が小さくなることを防止できる。

【0036】請求項7による半導体装置は、請求項1～6のいずれか1項に記載の構成において、側壁半導体膜がシリコン膜を含む。

【0037】請求項8の半導体装置の製造方法は、まず半導体基板の主表面上に被覆膜を形成する。次に、被覆膜を選択的に除去することにより、素子形成領域を分離する素子分離領域で半導体基板の主表面を露出させる開口部を有するマスク被覆膜を形成する。次に、マスク被覆膜を用いて、半導体基板の一部を除去することにより、溝を形成する。次に、溝の側面上に、エピタキシャル成長法を用いて、分離体の一部となる側壁半導体膜を形成する。次に、側壁半導体膜上と溝の内部とマスク被覆膜上とに、分離体の一部である内部絶縁膜となる絶縁膜を形成する。次に、マスク被覆膜上に位置する絶縁膜を除去する。次に、マスク被覆膜を除去する。

【0038】このため、請求項8の記載の発明では、側壁半導体膜を有する分離体を含む、本発明に従った素子分離構造を容易に実現することができる。

【0039】また、側壁半導体膜を素子形成領域の一部として利用することにより、溝の内部に従来のような分離絶縁体を形成する場合より、素子形成領域の幅を広くすることができる。これにより、素子形成領域に電界効

果型トランジスタのような能動素子を形成する場合にも、実効的なチャネル幅が小さくなることを防止でき、従来よりもその実効的なチャネル幅を大きくすることが可能となる。この結果、電界効果型トランジスタの電気的特性が、そのチャネル幅が小さくなることに起因して劣化することを防止でき、半導体装置の電気的特性の劣化を防止できる。

【0040】また、分離絶縁体として作用する内部絶縁膜の幅が、溝の幅よりも狭くなり、従来のトレンチ型の分離絶縁体の幅よりも狭くなっている場合でも、溝の深さを調節することで、十分な分離特性を得ることが可能となる。

【0041】また、側壁半導体膜の膜厚を調節することにより、分離絶縁体の幅を、溝の幅とは独立して調節することができる。このため、溝の幅を変更することなく、素子形成領域に形成される異なる能動素子の特性に適合するように、分離絶縁体の幅を調節することができる。

【0042】請求項9の半導体装置の製造方法は、請求項8に記載の構成において、側壁半導体膜を形成する工程が、エピタキシャル成長法を用いて、半導体基板の結晶の面方位と異なる面方位を有するように側壁半導体膜を形成することにより、半導体基板の主表面の近傍で、側壁半導体膜の内側面に傾斜面を形成する工程を含む。

【0043】このため、請求項9に記載の発明では、半導体基板と側壁半導体膜とからなる半導体領域と、内部絶縁膜からなる絶縁体領域との境界部に、鈍角を有する角部を形成することができる。これにより、従来のように半導体領域と絶縁体領域との境界部にほぼ90°の角度を有する角部が存在する場合よりも、素子形成領域に形成される電界効果型トランジスタの動作時において、電界がこの角部に集中することを防止できる。この結果、この角部におけるリーク電流を低減でき、半導体装置の電気的特性の劣化を防止できる。

【0044】請求項10の半導体装置の製造方法は、請求項8または9に記載の構成において、側壁半導体膜の内側面を熱酸化することにより、側壁半導体膜の内側面上に熱酸化膜を形成する工程をさらに備える。

【0045】このため、請求項10に記載の発明では、この熱酸化工程における温度、雰囲気、加熱時間などの条件を調節することにより、この熱酸化膜の膜厚を制御することができる。これにより、内部絶縁膜と熱酸化膜とからなる絶縁体の幅と、側壁半導体膜の幅とのバランスを、溝の幅とは独立して調節することができる。このため、同じ幅を有する溝を用いて、素子形成領域に形成される異なる能動素子の特性に適合するように、分離絶縁体として作用する上記絶縁体の幅を調節することができる。

【0046】また、熱酸化膜の電気的な分離特性は、他のCVD法などにより形成される酸化膜の分離特性より

も良いため、熱酸化膜の膜厚を厚くすることにより、分離特性を劣化させることなく、内部絶縁膜の幅を小さくすることができる。これにより、分離絶縁体の幅を小さくできる。このため、分離特性を劣化させることなく、側壁半導体膜の膜厚をより大きくすることができる。

【0047】また、分離絶縁体の幅を一定とする場合には、分離特性の良い熱酸化膜を形成することで、従来のCVD法などによる酸化膜のみで分離絶縁体を形成する場合よりも、良好な分離特性を有する分離絶縁体を得ることができる。

【0048】請求項11の半導体装置の製造方法は、請求項8～10のいずれか1項に記載の構成において、マスク被覆膜を形成する工程が、半導体基板の主表面に接触するように、第1の被覆膜を形成する工程と、第1の被覆膜上に第2の被覆膜を形成する工程とを含む。また、第1の被覆膜の開口部において露出している部分を除去することにより、素子形成領域における半導体基板の主表面の一部を露出させる。次に、露出させた半導体基板の主表面の一部上に、側面を有する半導体膜を形成する。

【0049】このため、請求項11に記載の発明では、この半導体膜が存在する領域に電界効果型トランジスタを形成した場合、チャンネル領域の一部としてこの半導体膜を利用できる。そして、このチャンネル領域に流れる電流の方向にほぼ垂直な面における断面において、電界効果型トランジスタのゲート絶縁膜と、チャンネル領域との接触面の長さを、半導体膜の側面の高さだけ長くできる。ここで、チャンネル領域に流れる電流量は、上記断面における上記接触面の長さにも比例するので、上記チャンネル領域に流れる電流量を増加させることができる。この結果、チャンネル幅を広くしたのと同じ効果を得ることができる。これにより、半導体装置の電気的特性を向上させることができる。

【0050】請求項12の半導体装置の製造方法は、請求項11に記載の構成において、半導体膜を形成する工程が、エピタキシャル成長法を用いて、半導体基板の結晶の面方位と異なる面方位を有するように半導体膜を形成することにより、半導体膜の側面に傾斜面を形成する工程を含む。

【0051】このため、請求項12に記載の発明では、半導体膜の側面が半導体基板の主表面に対してほぼ垂直である場合よりも、側面の面積を大きくすることができる。これにより、上記電流の流れる方向にほぼ垂直な方向における上記断面での、ゲート絶縁膜とチャンネル領域との接触面の長さをより長くすることができる。この結果、チャンネル領域に流れる電流量をさらに増加させることができ、半導体装置の電気的特性をより向上させることができる。

【0052】請求項13の半導体装置の製造方法は、請求項8～12のいずれか1項に記載の構成において、側

壁半導体膜の上部に、素子形成領域の導電型と逆の導電型の不純物を導入する工程をさらに備える。

【0053】このため、請求項13に記載の発明では、この不純物を存在によって素子形成領域と分離絶縁体である内部絶縁膜との境界領域における電界の集中を抑制することができる。この結果、素子形成領域から分離絶縁体へのリーク電流を低減することができる。これにより、半導体装置の電気的特性の劣化を防止することができる。

10 【0054】また、側壁半導体膜の上部に不純物を導入するので、半導体基板の主表面の素子形成領域に不純物を導入する場合のように、この不純物が存在することに起因してチャンネル幅が小さくなることを防止できる。

【0055】

【発明の実施の形態】以下、図面に基づいて本発明の実施の形態を説明する。

【0056】（実施の形態1）図1は、本発明の実施の形態1による素子分離構造の断面図であり、図2は、本発明の実施の形態1による素子分離構造と能動素子としての電界効果型トランジスタが形成されている素子形成領域との位置関係を示す平面図である。図1および図2を参照して、本発明の実施の形態1による素子分離構造を説明する。

【0057】図1を参照して、本発明の実施の形態1による素子分離構造では、半導体基板1の主表面に幅W0を有する溝4が形成されている。溝4の内側面にはエピタキシャル成長法によって形成されたシリコン膜5が形成されている。シリコン膜5上には熱酸化膜6が形成されている。熱酸化膜6上には、溝4の内部を充填するようにCVD法により形成されたシリコン酸化膜7が形成されている。シリコン酸化膜7と熱酸化膜6とシリコン膜5とにより、素子分離体が形成されている。そして、シリコン酸化膜7と熱酸化膜6とは、素子分離絶縁体として作用する。溝4の幅W0は、設計分離幅であり、ギガビットクラスのDRAMの場合には、0.1～0.2μmとなる。また、ロジック回路などの半導体集積回路装置においては、それぞれの能動素子の特性に応じて設定される。また、分離絶縁体の幅W3は、設計分離幅W0よりもシリコン膜5が存在するために小さくなっている。

【0058】図2を参照して、素子形成領域には電界効果型トランジスタT1、T2が形成されている。電界効果型トランジスタT1、T2はゲート電極8とソース領域9とドレイン領域10とを備える。電界効果型トランジスタT2は設計チャンネル幅W5を有する。この設計チャンネル幅W5は、ギガビットクラスのDRAMにおいては、0.14μm以下に設定される。

【0059】このように、本発明の実施の形態1による素子分離体では、側壁半導体膜として作用するシリコン膜5が形成されていることにより、このシリコン膜5を

素子形成領域の一部として利用することができる。このため、溝4の内部に従来のような素子分離絶縁体を形成する場合よりも、素子形成領域の幅を広くすることが可能となる。このため、素子形成領域に電界効果型トランジスタT1、T2のような能動素子を形成する場合にも、実効的なチャネル幅W5を減少させることなく、従来よりも大きくすることが可能となる。このため、電界効果型トランジスタT1、T2の電気的特性が劣化することを防止できる。

【0060】また、溝4の深さを従来よりも深くするなど調節することで、シリコン膜5が存在することにより内部絶縁膜の厚みW3が溝4の幅W0よりも小さくなる場合にも、十分な分離特性を確保することができる。

【0061】また、シリコン膜5および熱酸化膜6の膜厚を調節することにより、内部絶縁膜7と熱酸化膜6とからなる分離絶縁体の幅を溝4の幅W0とは独立して調節することができる。このため、ほぼ同一の幅W0を有する溝4を用いて分離体を形成する場合にも、素子形成領域に形成される電界効果型トランジスタT1、T2などの能動素子の特性に適合するように、分離絶縁体の幅W3を調節することができる。

【0062】また、熱酸化膜6の電気的な分離特性は、他のCVD法などにより形成される酸化膜の分離特性よりも優れているため、熱酸化膜6の膜厚を厚くすることにより、分離特性を劣化させることなく内部絶縁膜7の幅を狭くすることができる。このため、分離特性を劣化させることなく、分離絶縁体の幅W3を小さくすることができ、側壁半導体膜として作用するシリコン膜5の膜厚をより大きくすることができる。

【0063】また、分離絶縁体の幅W3を一定とする場合には、分離特性の良い熱酸化膜6を形成することにより、従来のCVD法などによる酸化膜のみで分離絶縁体を形成する場合よりも、良好な分離特性を有する分離絶縁体を得ることができる。

【0064】したがって、本発明の実施の形態1による素子分離構造をDRAMに適用すれば、キャパシタに電荷を蓄えるための時間が増大することを防止でき、動作速度の劣化を防止できる。また、ロジック回路を有する半導体装置にこの本発明の実施の形態1による素子分離構造を適用すれば、能動素子の実効的なチャネル幅が減少することが防止できるため、電界効果型トランジスタの駆動電流が設計値よりも小さくなることが防止でき、信号の遅延時間が増大することを防止できる。そのため、ロジック回路を有する半導体装置においても、動作速度の劣化を防止できる。

【0065】図3～8は、図1に示した本発明の実施の形態1による素子分離構造の製造工程を説明するための断面図である。以下に、図3～8を参照して、本発明の実施の形態1による素子分離構造の製造工程を説明する。

【0066】まず、半導体基板1（図3参照）の主表面上に熱酸化膜（図示せず）を形成する。この熱酸化膜の膜厚は0.1 μ m以下に設定する。熱酸化膜上にシリコン窒化膜（図示せず）を形成する。シリコン窒化膜の膜厚は0.08～0.3 μ m程度に設定する。シリコン窒化膜上にレジストパターン（図示せず）を形成する。このレジストパターンには素子分離構造の設計分離幅W0（図3参照）に対応する開口部が形成されている。設計分離幅W0は0.1～0.2 μ m程度である。このような微細な開口部を有するレジストパターンは、位相シフトマスク、たとえばレベンソン型マスクを用いて、露光・現像を行なうことにより形成される。フォトリソグラフィプロセスにおいて用いられる光線としては、KrF線やArF線などのエキシマレーザ光が用いられる。さらに、このような微細な開口部を有するレジストパターンは、X線を用いた露光・現像工程によっても形成することができる。

【0067】次に、このレジストパターンをマスクとして用いて、シリコン窒化膜と熱酸化膜との一部をドライエッチングなどにより選択的に除去する。このようにして、半導体基板1の主表面における素子分離領域を露出させる開口部を有するシリコン窒化膜3（図3参照）と熱酸化膜2（図3参照）とを形成する。その後、レジストパターンを除去する。このようにして、図3に示すような構造を得る。

【0068】ここで、熱酸化膜2とシリコン窒化膜3との厚みは、後の工程（溝4（図4参照）の形成工程など）において除去されない程度であればよい。たとえば、熱酸化膜2とシリコン窒化膜3との膜厚の合計が、0.1 μ m以上であればよい。

【0069】また、熱酸化膜2およびシリコン窒化膜3に形成された開口部の幅W0は、設計分離幅であり、上述のようにギガビットクラスのDRAMの場合には、0.1～0.2 μ m程度であるが、ロジック回路などの半導体集積回路装置の種類に応じて適宜設定され得る。そして、本発明は、設計分離幅W0の最小値が0.14 μ m以下となるような半導体集積回路装置に特に適している。

【0070】また、本発明は、同一の半導体装置の内部にさまざまな大きさの設計分離幅W0を有する素子分離構造が形成される場合にも適用可能である。

【0071】次に、シリコン窒化膜3と熱酸化膜2とをマスクとして用いて、ドライエッチングによりシリコン基板1を選択的に除去することにより、溝4を形成する。このエッチングにおいて用いるガスとしては、塩素と酸素の混合ガスを用いる。また、形成される溝4の深さは0.2～0.4 μ m程度である。ここで、溝4の深さは最小の設計分離幅によって変化するが、その最小の設計分離幅が0.14 μ m以下である場合では、溝4の深さはほぼ0.3 μ m以下となる。

【0072】次に、図5に示すように、溝4の内部の半導体基板1の表面上に選択エピタキシャル成長法によりシリコン膜5を形成する。この選択エピタキシャル成長法では、雰囲気ガスとして Si_2H_6 （ジシラン）もしくは Si_2H_6 と GeH_4 （ゲルマン）との混合気体を用いる。また、雰囲気圧力としては $10^{-3}\sim 10^{-4}\text{Torr}$ 、半導体基板1の温度としては $600\sim 700^\circ\text{C}$ という条件で、CVD法によりシリコン膜5を形成する。

【0073】なお、ここで形成されたシリコン膜5は、シリコンのみから形成してもよく、シリコンとゲルマニウムなどから構成されていてもよい。また、シリコンもしくはシリコンとゲルマニウムにボロン、アルミニウム、ガリウム、インジウム、窒素、リン、ヒ素、アンチモンなどの不純物が添加されていてもよい。

【0074】また、溝4の内部に形成されたシリコン膜5の膜厚 $W1$ は、図6において示す熱酸化処理を行なえる膜厚が確保されていればよい。たとえば、ギガビットクラスのDRAMの場合には、設計分離幅 $W0$ は $0.1\sim 0.2\mu\text{m}$ であるため、シリコン膜5の膜厚 $W1$ は $2\sim 70\text{nm}$ 程度であればよい。これは、熱酸化膜6（図6参照）の膜厚が、熱酸化によって酸化されるシリコン膜5の膜厚のおよそ2倍になることを考慮した結果である。

【0075】次に、図6に示すように、溝4の内部のシリコン膜5の表面を熱酸化することにより、熱酸化膜6を形成する。熱酸化膜6の膜厚 $W2$ は、シリコン膜5がすべて熱酸化され、熱酸化膜6が半導体基板1にまで侵入しないように設定される。このため、シリコン膜5の熱酸化がすべて終了した後も溝4の内壁を構成する半導体基板1において熱酸化が進行しないような条件、言い換えれば、熱酸化がシリコン膜5においてのみ進行するような条件により熱酸化処理を行なう。この熱酸化処理の条件は、熱酸化時間を制御すること、酸化性雰囲気中に窒素ガスを混入することによって希釈状態で熱酸化を行なうこと、熱酸化温度を比較的低温に設定することなどによって調節される。

【0076】このように、熱酸化される領域をシリコン膜5のみとすることにより、最終的に形成される素子分離領域に熱酸化膜6が侵入することを防止できる。これにより、素子分離絶縁体の幅 $W3$ （図1参照）が、最初に設定された設計分離幅 $W0$ （図1参照）よりも大きくなることを防止できる。

【0077】次に、図7に示すように、熱酸化膜6上とシリコン窒化膜3上とに、溝4を埋込むようにシリコン酸化膜7を形成する。このシリコン酸化膜7は、たとえばTEOSなどを原材料として用いたCVD法や、シランなどを原材料として用いるバイアスCVD法によって形成する。

【0078】次に、図8に示すように、シリコン窒化膜3上に位置するシリコン酸化膜7をドライエッチングや

CMP法を用いて除去する。このとき、シリコン窒化膜3の上部表面を停止層として利用する。この結果、シリコン酸化膜7は、平坦化された表面を有し、そのシリコン酸化膜7の上部表面はシリコン窒化膜3の上部表面の高さとほぼ同じ高さを有する。

【0079】その後、シリコン窒化膜3を熱リン酸などを用いたウェットエッチングにより除去する。そして、熱酸化膜2をフッ酸水溶液などを用いたウェットエッチングにより除去する。このようにして、図1に示すような構造を得る。

【0080】（実施の形態2）図9は、本発明の実施の形態2による素子分離構造を説明するための断面図である。図9を参照して、本発明の実施の形態2による素子分離構造は、基本的には図1に示した本発明の実施の形態1による素子分離構造と同様の構造を備える。ただし、本発明の実施の形態2による素子分離構造では、シリコン膜5の上部に傾斜面が形成されている。

【0081】図10は、図9における領域100の拡大図である。図10を参照して、シリコン膜5の上部に傾斜面が形成されているため、分離絶縁体として作用するシリコン酸化膜7および熱酸化膜6と素子形成領域におけるチャンネル領域として作用する半導体基板1およびシリコン膜5との境界面における角部11は、鈍角を有するように形成されている。

【0082】このため、本発明の実施の形態2による素子分離構造では、実施の形態1に示した効果に加えて、従来のようにチャンネル領域として作用する半導体領域と分離絶縁体との境界部にほぼ 90° の角度を有する角部が存在する場合よりも、素子形成領域に形成された電界効果型トランジスタの動作に起因して電界がこの角部11に集中することを防止できる。このため、素子形成領域からのリーク電流を低減することができ、半導体装置の電気的特性の劣化を防止できる。

【0083】図11および12は、図9に示した本発明の実施の形態2による素子分離構造の製造工程を説明するための断面図である。以下、図11および12を参照して、本発明の実施の形態2による素子分離構造の製造工程を説明する。

【0084】まず、図3および4に示した本発明の実施の形態1による素子分離構造の製造工程を実施した後、図11、12に示すように、溝4の内部における半導体基板1の表面に選択エピタキシャル成長法を用いてシリコン膜5を形成する。

【0085】このとき、シリコン膜5の表面が半導体基板1の面方位と異なる面方位を有するように、選択エピタキシャル成長法の条件を調節する。具体的には、図5に示した本発明の実施の形態1による素子分離構造の製造工程における選択エピタキシャル成長法において用いたジシランなどの気体の流量比を変更して、雰囲気圧力を $10^{-3}\sim 10^{-4}\text{Torr}$ 、半導体基板1の温度を7

00~800℃とし、CVD法によりシリコン膜5を形成する。このように、ジシランやゲルマンなどのガスの流量を制御すること、および半導体基板1の温度を制御することにより、半導体基板1の面方位と異なる面方位を有するシリコン膜5を形成することができる。この結果、シリコン膜5の上部において、傾斜面を形成することができる。

【0086】たとえば、半導体基板1の溝4の内部における表面が(0, 0, 1)の面方位を有するとき、その半導体基板1の表面上に形成したシリコン膜5が、その端部近傍において(3, 1, 1)の面方位のファセットを有するようにすることが可能となる。

【0087】ここで、シリコン膜5は、本発明の実施の形態1と同様にシリコンのみから形成してもよく、シリコンとゲルマニウムなどから構成してもよい。また、ボロン、アルミニウム、ガリウム、インジウム、窒素、リン、ヒ素、アンチモンなどの不純物を添加してもよい。

【0088】次に、図12に示すように、シリコン膜5の表面を熱酸化することにより、熱酸化膜6を形成する。

【0089】その後、図7および8に示した本発明の実施の形態1による素子分離構造の製造工程と同様の工程を実施することにより、図9に示したような構造を得る。

【0090】(実施の形態3) 図13は、本発明の実施の形態3による素子分離構造を説明するための断面図である。図13を参照して、本発明の実施の形態3による素子分離構造は、基本的には図1に示した本発明の実施の形態1による素子分離構造と同様の構造を備える。ただし、本発明の実施の形態3による素子分離構造では、シリコン膜5の一部が素子形成領域となる半導体基板1の主表面上にまで延在するように形成されている。このシリコン膜5の半導体基板1の主表面上に位置する延在部13a、13bは、幅W5だけ素子形成領域に侵入しており、その膜厚W6は2~70nm程度である。

【0091】このような素子分離構造を用いることにより、図14および15に示すように、素子形成領域にチャネル幅W4を有する電界効果型トランジスタT1、T2を形成した場合、本発明の実施の形態1に示した効果に加えて、さらに電界効果型トランジスタT1、T2のチャネル幅を広くしたときと同じ効果を得ることができる。ここで、図14は、図13に示した本発明の実施の形態3による素子分離構造を用いて形成した素子分離領域と素子形成領域との関係を示す平面図であり、図15は図14における線分200における断面を示している。

【0092】具体的には、図15を参照して、電界効果型トランジスタT2のゲート絶縁膜14bと半導体基板1と延在部13b、13cからなるチャネル領域との図15に示した断面における長さを、従来よりも延在部1

3b、13cの側面の高さ(膜厚)W6だけ長くすることができる。そして、この電界効果型トランジスタT2のチャネル領域に流れる電流量は、上記した接触面の図15に示した断面における長さにも比例するので、この結果、チャネル領域に流れる電流量を増加させることができる。これにより、電界効果型トランジスタの電気的特性を向上させることが可能となる。

【0093】図16~20は、図13に示した本発明の実施の形態3による素子分離構造の製造工程を説明するための断面図である。以下、図16~20を参照して、本発明の実施の形態3による素子分離構造の製造工程を説明する。

【0094】まず、図3および4に示した本発明の実施の形態1による素子分離構造の製造工程を実施した後、図16に示すように、溝4の内部に面している熱酸化膜2をフッ酸水溶液などを用いたウェットエッチングにより除去することにより、キャビティ部12a、12bを形成する。このとき、ウェットエッチングのエッチング時間を制御することにより、キャビティ部の幅W5を調節することができる。また、熱酸化膜2の膜厚は2~70nm程度であり、この熱酸化膜2の膜厚によりキャビティ部12a、12bの高さが決定される。このようにして、半導体基板1の溝4に隣接する主表面の一部をキャビティ部12a、12bにおいて露出させることができる。

【0095】次に、図17に示すように、溝4の内部とキャビティ部12a、12b(図16参照)における半導体基板1の表面上に図5に示した本発明の実施の形態1による素子分離構造の製造工程と同様に選択エピタキシャル成長法を用いてシリコン膜5を形成する。このようにして、半導体基板1の主表面に延在部13a、13bを有するシリコン膜5を形成する。このとき、シリコン膜5の膜厚W1を、熱酸化膜2の膜厚よりも厚くすることにより、キャビティ部12a、12bを完全に充填するように延在部13a、13bを形成することができる。また、シリコン膜5は、本発明の実施の形態1および2と同様に、シリコンとゲルマニウムなどから構成してもよく、また、ボロン、アルミニウム、ガリウム、インジウム、窒素、リン、ヒ素、アンチモンなどの不純物を添加してもよい。

【0096】次に、図18に示すように、シリコン膜5の表面を熱酸化することにより、膜厚W2の熱酸化膜6を形成する。このとき、キャビティ部12a、12b

(図16参照)を充填するように延在部13a、13bが形成されているので、熱酸化工程における雰囲気ガスがキャビティ部12a、12bに侵入しない。このため、延在部13a、13bにおいては熱酸化が進行しない。そのため、この延在部13a、13bは、図15に示すように、電界効果型トランジスタの活性領域であるチャネル領域の一部として作用する。

【0097】次に、図19に示すように、熱酸化膜6上とシリコン窒化膜3上とに、溝4を充填するようにシリコン酸化膜7を形成する。シリコン酸化膜7の形成方法としては、本発明の実施の形態1および2と同様の工程を用いる。

【0098】次に、図20に示すように、シリコン窒化膜3上に位置するシリコン酸化膜7をドライエッチングもしくはCMP法を用いて除去する。

【0099】その後、半導体基板1の主表面上に位置するシリコン窒化膜3と熱酸化膜2とをウェットエッチングにより除去することにより、図13に示すような構造を得る。

【0100】(実施の形態4) 図21は、本発明の実施の形態4による素子分離構造を説明するための断面図である。図21を参照して、本発明の実施の形態4による素子分離構造は、基本的には図13に示した本発明の実施の形態3による素子分離構造と同様の構造を備える。ただし、本発明の実施の形態4による素子分離構造では、シリコン膜5および延在部13a、13bを、図9に示した本発明の実施の形態2と同様に半導体基板1と異なる面方位を有するように形成している。

【0101】このため、この本発明の実施の形態4による素子分離構造では、本発明の実施の形態2および3に示した効果に加えて、さらに、延在部13a、13bの側面を傾斜面とすることができる。このため、図21に示した断面において、延在部13a、13bの側面の長さW7を、図13および15に示した本発明の実施の形態3による素子分離構造における延在部13a、13bの側面の長さW6よりも長くすることができる。これにより、素子形成領域に電界効果型トランジスタを形成した場合、この電界効果型トランジスタのゲート絶縁膜とチャネル領域との接触面の図15に示した断面における長さをより長くすることができ、この結果、チャネル領域に流れる電流量をより大きくすることができる。そのため、半導体装置の電気的特性をより向上させることができる。

【0102】また、この実施の形態4による素子分離構造は、本発明の実施の形態3において示した製造工程において、シリコン膜5および延在部13a、13bを、図11に示した実施の形態2における製造工程を用いて形成することにより、得ることができる。

【0103】(実施の形態5) 図22は、本発明の実施の形態5による素子分離構造の製造工程を説明するための断面図である。以下、図22を参照して、本発明の実施の形態5による素子分離構造の製造工程を説明する。

【0104】まず、図3～5に示した本発明の実施の形態1による素子分離構造の製造工程を実施した後、図22に示すように、素子形成領域の導電型と逆の導電型の不純物をイオン注入する。これにより、シリコン膜5の底部19とシリコン膜5の上部15a、15bに不純物

が注入される。

【0105】たとえば、素子形成領域にn型の電界効果型トランジスタが形成される場合、ボロン元素をボロンやフッ化ボロン(BF₂)をイオン注入することにより導入する。そして、たとえば1ギガビットDRAMの場合、このボロン元素の注入条件としては、5～30keVの加速電圧でドーズ量 $3 \times 10^{13} \sim 1 \times 10^{14} / \text{cm}^2$ という条件を用いる。そして、このイオン注入の加速電圧とシリコン窒化膜3および熱酸化膜2の膜厚とを調節することにより、ボロンなどの不純物を素子形成領域には注入せず、シリコン膜5の上部15a、15bおよび底部19にのみ注入することができる。

【0106】また、ボロンの注入量は、n型の電界効果型トランジスタのチャネル領域に注入されるボロンの注入量に対して3倍以上に設定する。たとえば、1ギガビットDRAMにおいて、電界効果型トランジスタのチャネル領域へ注入されるボロン元素の注入条件としては、加速電圧20keV、ドーズ量 $1 \times 10^{13} / \text{cm}^2$ という条件が用いられる。

【0107】次に、図6～8に示した本発明の実施の形態1による素子分離構造の製造工程を実施することにより、本発明の実施の形態5による素子分離構造を得ることができる。

【0108】図23は、本発明の実施の形態5による素子分離構造を用いた素子分離領域と電界効果型トランジスタを形成した素子形成領域との関係を示した断面図であり、その断面の位置は、図14における線分200である。また、半導体基板1の主表面の素子形成領域上には電界効果型トランジスタのゲート絶縁膜14a、14bが形成されており、ゲート絶縁膜14a、14b上にはゲート電極8が形成されている。

【0109】このような素子分離構造を用いることで、図23を参照して、シリコン膜5の上部15a～15cにボロンなどの不純物が導入されていることにより、素子形成領域において形成された電界効果型トランジスタのチャネル領域18と分離絶縁体の一部である熱酸化膜6との境界領域における電界の集中を抑制することができる。このため、素子形成領域から分離絶縁体へのリーク電流を低減することができる。その結果、半導体装置の電気的特性の劣化を防止することができる。

【0110】また、シリコン膜5の上部15a～15cに不純物を導入するので、半導体基板1の主表面の素子形成領域に不純物を導入する場合のように、チャネル領域18の幅が狭くなることを防止できる。

【0111】また、このシリコン膜5の上部15a～15cに導入される不純物は素子形成領域において形成される電界効果型トランジスタのソース/ドレイン領域からの空乏層の拡大を抑制し、かつ、分離絶縁体の分離特性を向上させるという作用も有する。

【0112】なお、ここで用いた不純物はボロンであつ

たが、素子形成領域の導電型によってはヒ素やアンチモンなどを用いてもよい。

【0113】また、この実施の形態5で示した工程は、本発明の実施の形態2～4に適用しても、同様の効果を得ることができる。

【0114】なお、今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0115】

【発明の効果】以上のように、請求項1～13に記載の発明によれば、半導体装置のトレンチ型の素子分離構造において、外側壁を構成する側壁半導体膜を形成するので、素子分離領域が素子形成領域へ食い込むことを抑制することができる。この結果、素子形成領域において形成される能動素子の特性が劣化することを防止することが可能な半導体装置およびその製造方法を提供することができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1による半導体装置を説明するための断面図である。

【図2】 本発明の実施の形態1による半導体装置の素子分離領域と素子形成領域との関係を説明するための平面図である。

【図3】 図1に示した本発明の実施の形態1による半導体装置の製造工程の第1工程を説明するための断面図である。

【図4】 図1に示した本発明の実施の形態1による半導体装置の製造工程の第2工程を説明するための断面図である。

【図5】 図1に示した本発明の実施の形態1による半導体装置の製造工程の第3工程を説明するための断面図である。

【図6】 図1に示した本発明の実施の形態1による半導体装置の製造工程の第4工程を説明するための断面図である。

【図7】 図1に示した本発明の実施の形態1による半導体装置の製造工程の第5工程を説明するための断面図である。

【図8】 図1に示した本発明の実施の形態1による半導体装置の製造工程の第6工程を説明するための断面図である。

【図9】 本発明の実施の形態2による半導体装置を説明するための断面図である。

【図10】 図9に示した本発明の実施の形態2による半導体装置の領域100の拡大図である。

【図11】 図9に示した本発明の実施の形態2による半導体装置の製造工程の第1工程を説明するための断面

図である。

【図12】 図9に示した本発明の実施の形態2による半導体装置の製造工程の第2工程を説明するための断面図である。

【図13】 本発明の実施の形態3による半導体装置を説明するための断面図である。

【図14】 本発明の実施の形態3による半導体装置の素子形成領域と素子分離領域との関係を説明するための平面図である。

10 【図15】 図14の線分200における断面図である。

【図16】 図13に示した本発明の実施の形態3による半導体装置の製造工程の第1工程を説明するための断面図である。

【図17】 図13に示した本発明の実施の形態3による半導体装置の製造工程の第2工程を説明するための断面図である。

20 【図18】 図13に示した本発明の実施の形態3による半導体装置の製造工程の第3工程を説明するための断面図である。

【図19】 図13に示した本発明の実施の形態3による半導体装置の製造工程の第4工程を説明するための断面図である。

【図20】 図13に示した本発明の実施の形態3による半導体装置の製造工程の第5工程を説明するための断面図である。

【図21】 本発明の実施の形態4による半導体装置を説明するための断面図である。

30 【図22】 本発明の実施の形態5による半導体装置の製造工程を説明するための断面図である。

【図23】 本発明の実施の形態5による半導体装置の図14における線分200での断面に対応する断面図である。

【図24】 従来の半導体装置の製造工程の第1工程を説明するための断面図である。

【図25】 従来の半導体装置の製造工程の第2工程を説明するための断面図である。

【図26】 従来の半導体装置の製造工程の第3工程を説明するための断面図である。

40 【図27】 従来の半導体装置の製造工程の第4工程を説明するための断面図である。

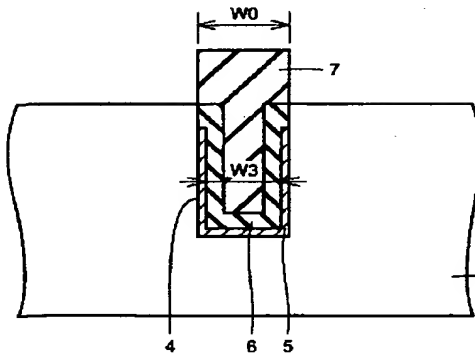
【図28】 従来の半導体装置の素子形成領域と素子分離領域との関係を示す平面図である。

【符号の説明】

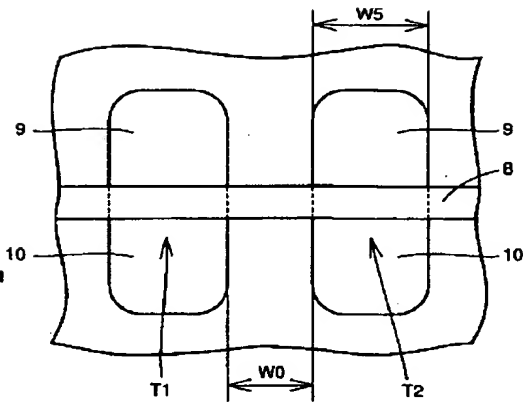
1 半導体基板、2 熱酸化膜、3 シリコン窒化膜、4 溝、5、15 シリコン膜、6、16 熱酸化膜、7、17 シリコン酸化膜、8 ゲート電極、9 ソース領域、10 ドレイン領域、11 角部、12 キャビティ部、13 延在部、14a、14b ゲート酸化膜、15a、15b シリコン膜上部、19 シリコン

膜底部、18 チャンネル領域。

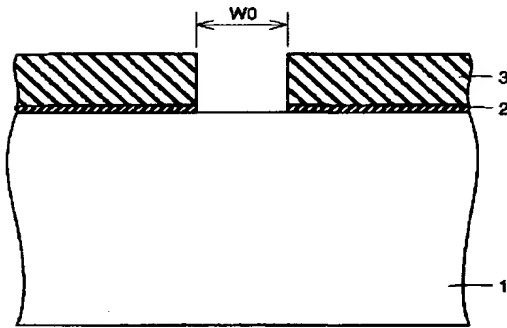
【図 1】



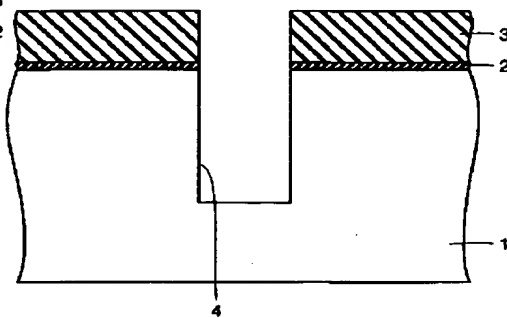
【図 2】



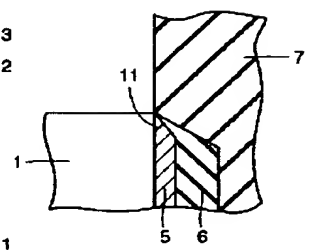
【図 3】



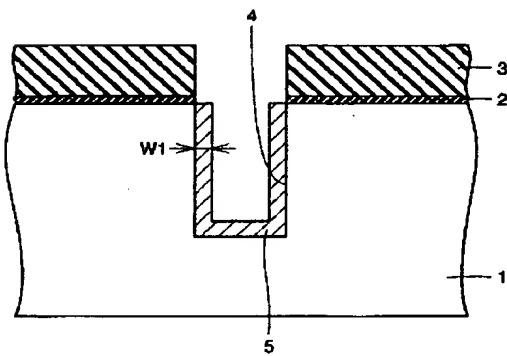
【図 4】



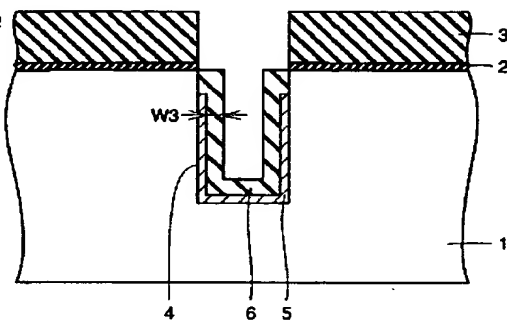
【図 10】



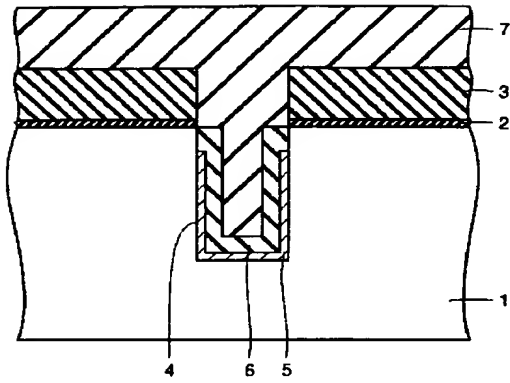
【図 5】



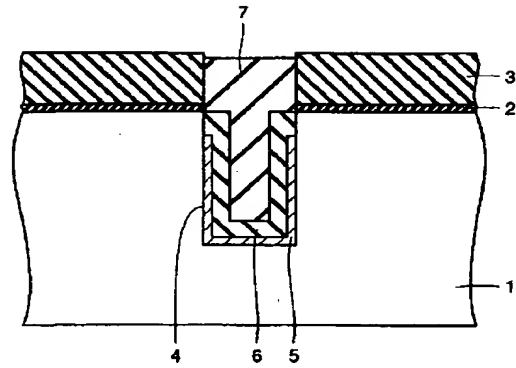
【図 6】



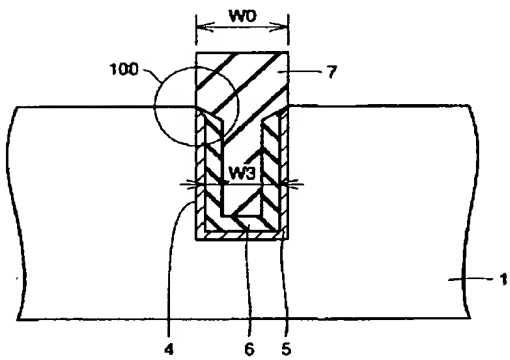
【図 7】



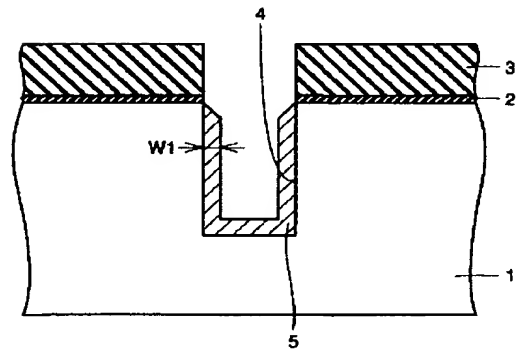
【図 8】



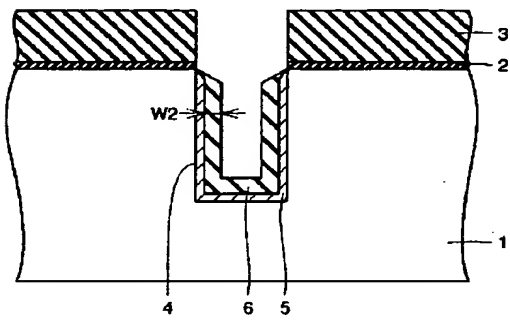
【図 9】



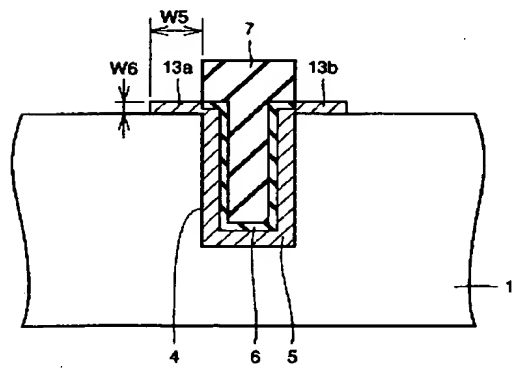
【図 11】



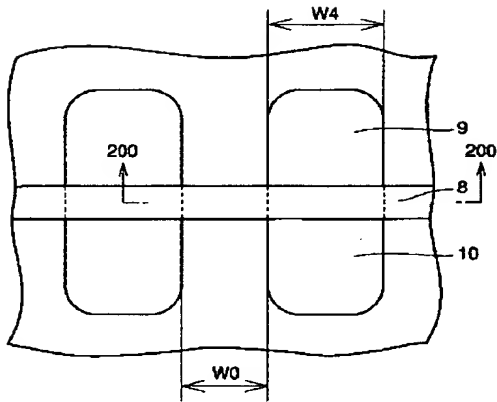
【図 12】



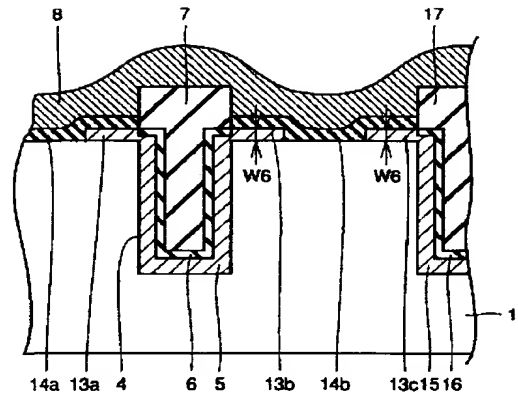
【図 13】



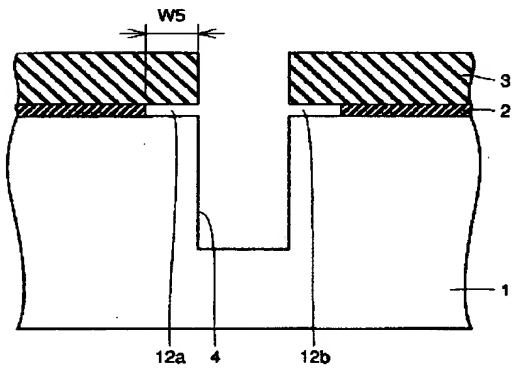
【図14】



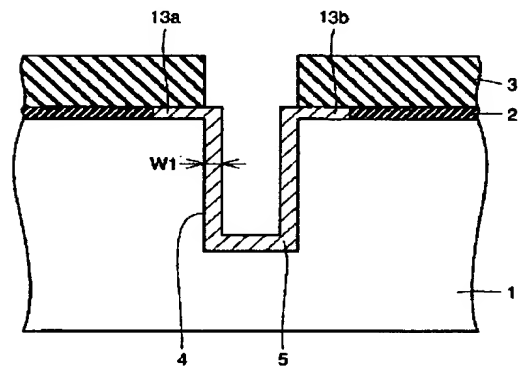
【図15】



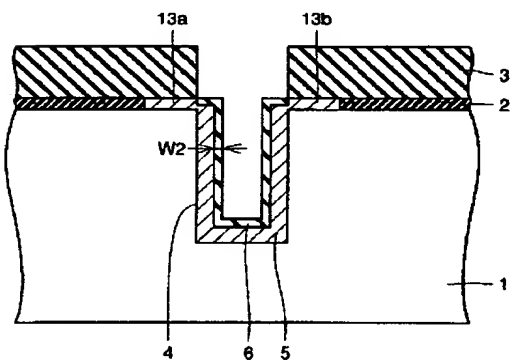
【図16】



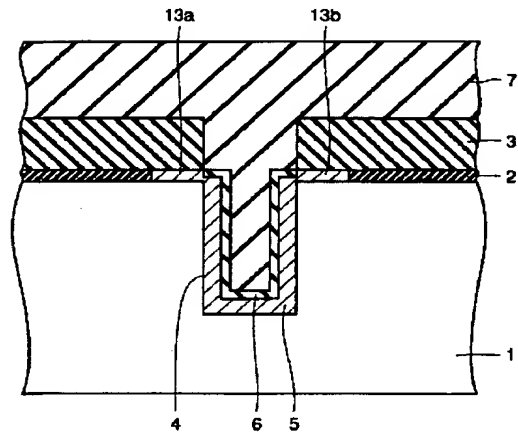
【図17】



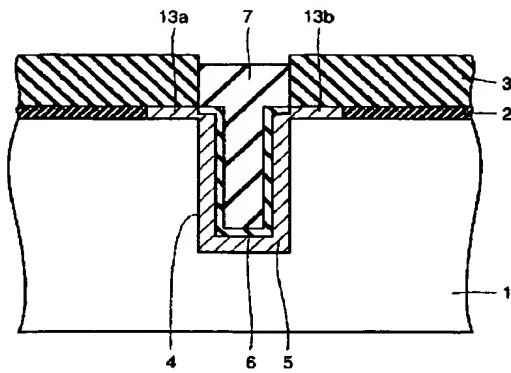
【図18】



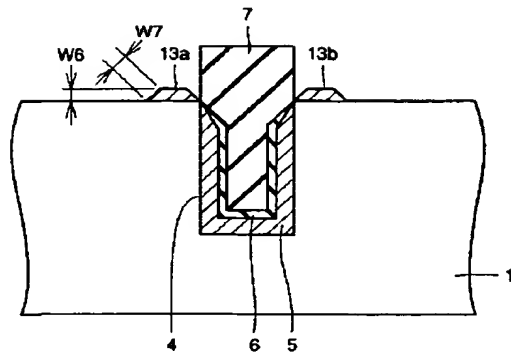
【図19】



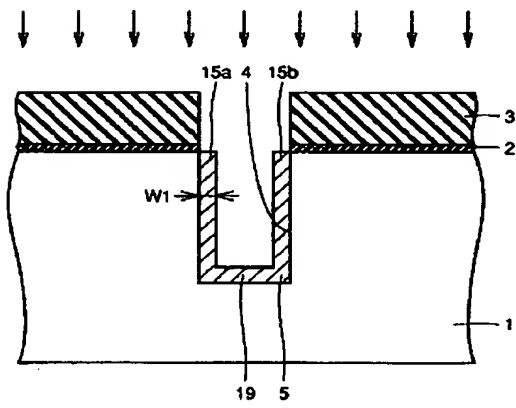
【図20】



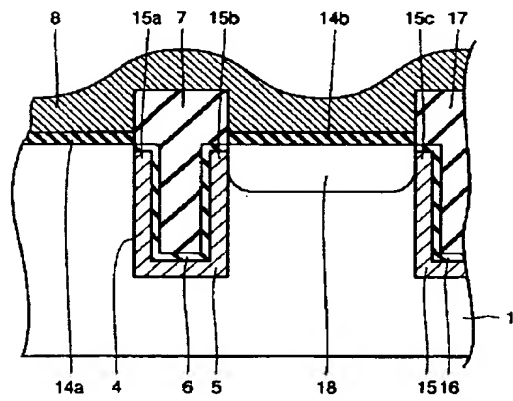
【図21】



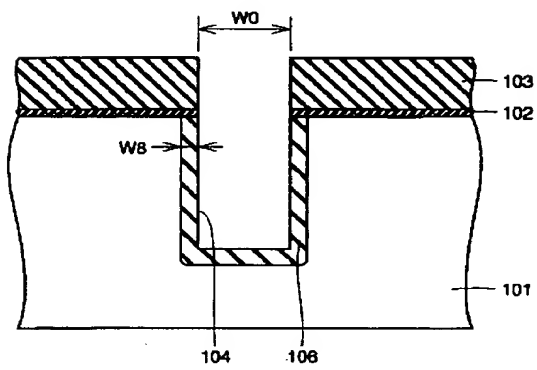
【図22】



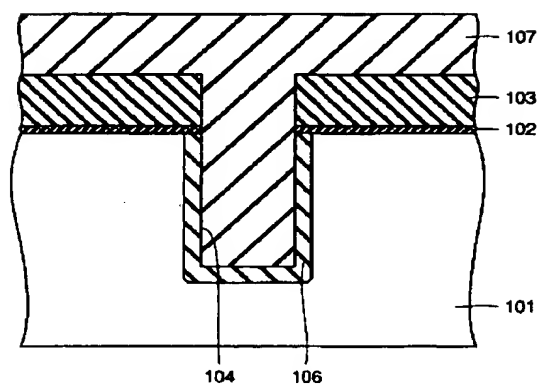
【図23】



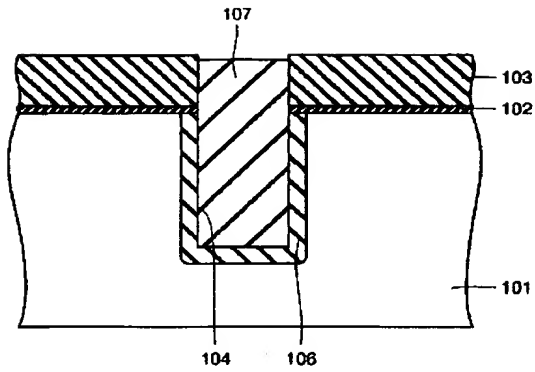
【図24】



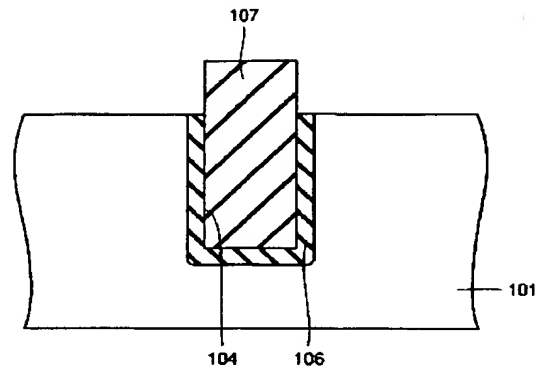
【図25】



【図 2 6】



【図 2 7】



【図 2 8】

